

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-19008

⑬ Int.Cl.³

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)1月23日

H 03 F 3/195
3/606751-5 J
6751-5 J

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 マイクロ波トランジスタ

⑯ 特 願 昭63-169605

⑰ 出 願 昭63(1988)7月7日

⑱ 発 明 者 森 哲 郎 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内
 ⑲ 発 明 者 山 内 眞 英 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内
 ⑳ 発 明 者 門 脇 好 伸 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内
 ㉑ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号
 ㉒ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

マイクロ波トランジスタ

2. 特許請求の範囲

1つのチップに、2つ以上のマイクロ波トランジスタを形成し、チップの片側に1つのトランジスタの入力電極と他のもう1つのトランジスタの出力電極を交互に配置したことを特徴とするマイクロ波トランジスタ。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、マイクロ波帯で動作するトランジスタのチップパターンに関するものである。

〔従来の技術〕

第4図は、従来のマイクロ波帯で動作するガリウム砒素メタルセミコンダクタ電界効果トランジスタ(以下G_{As} MES FETと称す)チップのパターン図、第5図は従来のG_{As} MES FETを用いたマイクロ波2段増幅器の一例を示すパターン図である(バイアス回路パターンを省略してある)。

図において、(1)はG_{As}半導体で構成されるG_{As} MES FETチップ本体、(2)はゲート電極、(3)はドレイン電極、(4)はソース電極、(5)はソース電極(4)を裏面のアース電極に接続するためのスルーホール、(6)は入力整合回路、(7)は段間の整合回路、(8)は出力整合回路、(9)は1段目のG_{As} MES FETのドレイン電極と2段目のG_{As} FETのゲート電極の各々に印加されるバイアス電圧を分離するDCカットコンデンサ、(10)は金ワイヤ、(11)はG_{As} MES FET本体(1)及び入力整合回路(6)、段間整合回路(7)、出力整合回路(8)を接地するための接地基板である。なお、入力整合回路(6)、段間整合回路(7)、出力整合回路(8)はアルミナセラミック基板等の誘電体基板上に、金等の導体をパターンニングしたものである。

次に動作について説明する。

第4図で示されるG_{As} MES FETチップ本体(1)では、ドレイン電極(3)とソース電極(4)との間に電流が流れ、ショットキバリア接合のゲート電極(2)による空乏層で、この電流がコントロールされる

ので増幅作用が得られる。

ただし、第4図で示されるG_{SA} MES FETでマイクロ波帯の増幅器を構成する場合、入力信号が、G_{SA} MES FETで反射されずに効率よく増幅するためには整合回路が必要で、第5図に示すごとく入力整合回路(6)、段間整合回路(7)、出力整合回路(8)を設ける。

〔発明が解決しようとする課題〕

従来のマイクロ波帯で動作するG_{SA} MES FETの利得は比較的小さいので、多くのG_{SA} MES FETを縦横接続して用いているが、各々のG_{SA} MES FETの入力部に整合回路が必要であるので、上記増幅器の形状が大きくなるという欠点があつた。また、整合回路をパターンニングした誘電体基板を多く用いるので、組立が複雑になり、かつ高価になるという問題点があつた。

この発明は、上記のような問題点を解消するためになされたもので、小型で組立が容易、かつ安価なマイクロ波増幅器を構成できるマイクロ波トランジスタを得ることを目的とする。

図1はこの発明のG_{SA} MES FETチップ本体であり、G_{SA} MES FETチップ本体10には第1図の点線で囲んである2つのG_{SA} MES FETすなわち、FET-A 03とFET-B 04が構成されている。また、G_{SA} MES FETチップ本体10の各同じ側の端面には、FET-A 03のゲート電極(2A)とFET-B 04のドレイン電極(3B)、及びFET-B 04のゲート電極(2B)とFET-A 03のドレイン電極(3A)が配置されている。05は入出力整合回路であり、FET-A 03の入力整合回路(6)とFET-B 04の出力整合回路(8)が同一基板上にパターンニングされている。06はインダクタンス、07はコンデンサである。

次に動作について説明する。

第2図で示したマイクロ波増幅器は、従来例の第5図で示したマイクロ波増幅器と全く同じ構成(2つのG_{SA} MES FETと入出力整合回路パターン及び段間整合回路パターン)となつていゝので、従来と同一の原理でマイクロ波信号を増幅することができる。ただし、この発明のG_{SA} MES FETを用いたマイクロ波増幅器では、

〔課題を解決するための手段〕

この発明に係るマイクロ波トランジスタは、1つのチップに2つのトランジスタが構成され、1つのトランジスタの入力電極と他のトランジスタの出力電極がチップの同じ片側に配置されたものである。

〔作用〕

この発明におけるマイクロ波トランジスタでは、1つのトランジスタの入力電極と別のトランジスタの出力電極がチップの同じ片側に配置されているので、多段増幅器の入出力整合回路及び段間の整合回路が2つの基板で構成できる。

〔実施例〕

以下、この発明の一実施例を図について説明する。第1図はマイクロ波帯で動作するG_{SA} MES FETチップのパターン図、第2図は第1図のG_{SA} MES FETを用いたマイクロ波増幅器の他の実施例を示すパターン図である。図において、(1)、(4)～(11)は第4図及び第5図の従来例に示したものと同等であるので説明の重複を避ける。

1. 入出力整合回路05のパターンが1つの基板上で構成できる。
2. 1つのG_{SA} MES FETチップ本体10に2つのMES FETすなわちFET-A 03及びFET-B 04が構成されているので、アンプリが容易でかつ増幅器が小型化できる。

という利点がある。

第3図において、FET-B 04のドレイン電極(3B)からFET-A 03のゲート電極(2A)への帰還回路を構成しており、08はインダクタ、09はキャパシタである。帰還回路を付けることで、増幅器の利得の平坦性の改善及び増幅帯域の拡大が可能であるが、この発明のG_{SA} MES FETを用いることで、整合回路基板を新たに追加することなく、パターンを変更することで帰還型マイクロ波増幅器が構成できる。

なお、上記実施例では、マイクロ波トランジスタとしてG_{SA} MES FETの場合について説明したが、バイポーラ接合型トランジスタでもよい。また、上記実施例では、2段トランジスタ増幅器に

ついて説明したが、3段、4段等の多段トランジスタ増幅器においても、1つのチップの同じ片側にゲート電極及びドレイン電極を交互にそれぞれ3個及び4個並べることと同様の効果がある。

〔発明の効果〕

以上のようにこの発明によれば、1つのチップに2つのトランジスタを構成し、チップの同じ片側に1つのトランジスタの入力電極と、他のトランジスタの出力電極とを配置したので、小型で組立の容易なマイクロ波増幅器が得られる効果がある。

4. 図面の簡単な説明

第1図は、この発明の一実施例によるGaAs MES PETチップのパターン図、第2図はこの発明のGaAs MES PETを用いたマイクロ波増幅器の一実施例のパターン図、第3図はこの発明のGaAs MES PETを用いたマイクロ波増幅器の他の実施例のパターン図、第4図は従来のGaAs MES PETチップのパターン図、第5図は従来のGaAs MES PETを用いたマイクロ波増幅器の一例を示すパターン図

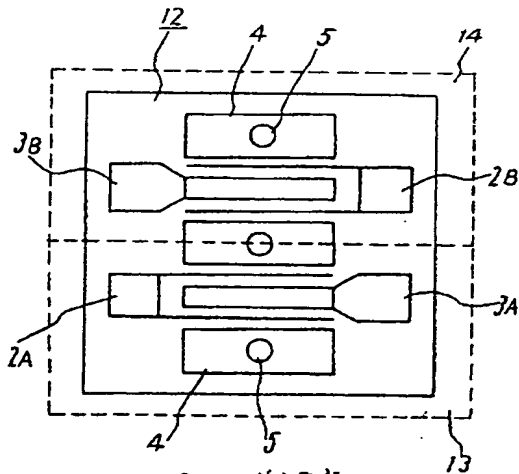
である。

図において、(2a)(2b)はゲート電極、(3a)(3b)はドレイン電極、(4)はソース電極、(5)はスルーホール、(6)は入力整合回路、(7)は段間整合回路、(8)は出力整合回路、(9)はDCカットコンデンサ、(10)は金ワイヤ、(11)は接地基板、(12)はGaAs MES PETチップ本体、(13)はFET-A、(14)はFET-B、(15)は入出力整合回路、(16)はインダクタ、(17)はキャパシタである。

なお、図中、同一符号は同一、又は相当部分を示す。

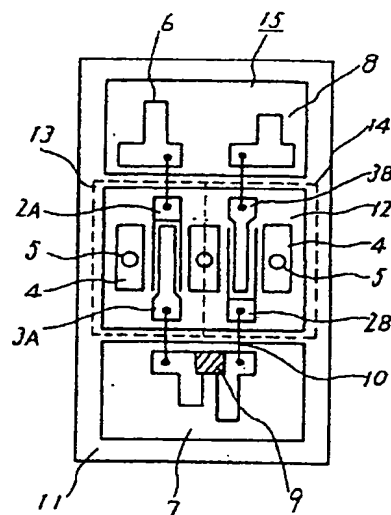
代理人 大 岩 増 雄

第1図



- 2A, 2B: ゲート電極
 3A, 3B: ドレイン電極
 4: ソース電極
 5: スルーホール
 12: GaAs MESFETチップ本体
 13: FET-A
 14: FET-B

第2図



- 6: 入力整合回路
 7: 段間整合回路
 8: 出力整合回路
 9: DCカットコンデンサ
 10: 金ワイヤ
 11: 接地基板
 15: 入出力整合回路

